

Extract English Translation of KOREAN Patent No. 268305

Registered Date: July 12, 2000

Patent No. 268305

Publication Date: May 6, 1999

Publication No. 1999-30963

Filing Date: October 7, 1997

Application No. 1997-51458

Patentee: LG PHILIPS LCD CO., LTD.

Inventors: LIM, Gyeong Nam

PARK, Seong Il

Park, Jae Yong

Kim, Ung Gwon

KIM, Jeong Hyeon

Title of the Invention: Structure of substrate for a liquid crystal display device and method of manufacturing the same

- WHAT IS CLAIMED IS: -

1. An array substrate for a liquid crystal display device comprising

a gate bus line and a data bus line to form a matrix on a substrate interposing a first insulating film;

a switching element electrically connected to the gate bus line and the data bus line and located at a crossing part of the gate bus line and the data bus line; and

a pixel region on which the gate bus line and the data bus line are crossing;

the pixel region comprising

a lower pixel electrode, which is a first pixel electrode region, formed in the same layer as the data bus line, connected to an output terminal of the switching element, and located at a center of the pixel region in such a way that one side thereof is extended above the gate bus line;

a second insulating film covering a whole surface of the substrate including the switching element, and having at least one contact hole; and

an upper pixel electrode, which is a second pixel electrode region, located on an upper surface of the second insulating film, overlapping, at a predetermined area, with a peripheral part of the lower pixel electrode, and overlapping with the data bus line.

2. The array substrate for a liquid crystal display device according to Claim 1 wherein

the upper pixel electrode is connected to the output terminal of the switching element through the contact hole formed on the second insulating film.

3. The array substrate for a liquid crystal display device according to Claim 1 wherein the upper pixel electrode is connected to the lower pixel electrode through the contact hole of the second insulating film above the gate bus line.

4. The array substrate for a liquid crystal display device according to Claim 1 wherein the upper pixel electrode is connected to the output terminal of the switching element through a first contact hole formed on the second insulating film and is connected to the lower pixel electrode through a second contact hole formed on the second insulating film above the gate bus line.

5. The array substrate for a liquid crystal display device according to Claim 1 wherein the upper surface of the second insulating film is plane.

6. The substrate for a liquid crystal display device according to Claim 5 wherein the second insulating film includes at least one layer of organic film.

7. The substrate for a liquid crystal display device according to Claim 6 wherein the organic film is a film made of a selected one of the group consisting of BCB, F-added polyimide, Teflon, Cytop, polyallyl ether fluoride, F-added parylene and PFCB.

8. The substrate for a liquid crystal display device according to Claim 3 or 4, wherein a metal film is interposed in a part where the lower pixel electrode above the gate bus line and the upper pixel electrode are connected.

9. The substrate for a liquid crystal display device according to Claim 8, wherein the metal film is the same as a film forming the output terminal of the switching element.

10. A method of manufacturing a substrate for a liquid crystal display device comprising:

a step of forming a lower pixel electrode, which is a first pixel electrode region, on a substrate where a gate bus line and a data bus line form a matrix interposing a first insulating film, and a switching element is located at a crossing part of the gate bus line and the data bus line and is electrically connected to the gate bus line and the

data bus line;

the lower pixel electrode connected to an output terminal of the switching element, placed in such a way that one side thereof is extended above the gate bus line, and not connected to the data bus line;

a step of depositing and patterning a second insulating film on a whole surface of the substrate on which the lower pixel electrode is formed and forming at least one contact hole on the second insulating film; and

a step of forming an upper pixel electrode, which is a second pixel electrode region, on a second insulating film, the upper pixel electrode connected to the lower pixel electrode through the contact hole of the second insulating film, overlapping with the peripheral part of the lower pixel electrode at a predetermined area, and overlapping with the data bus line.

11. The method of manufacturing a substrate for a liquid crystal display device according to Claim 10, wherein the contact hole is formed at a part above the output terminal of the switching element.

12. The method of manufacturing a substrate for a liquid crystal display device according to Claim 10, wherein the contact hole is formed at a part above the output terminal of the switching element and at a part where the lower pixel electrode and the gate bus line overlap with each other.

13. The method of manufacturing a substrate for a liquid crystal display device according to Claim 10, wherein the second insulating film is formed at least one layer of organic film.

14. The method of manufacturing a substrate for a liquid crystal display device according to Claim 13, wherein the organic film is made of a selected one of the group consisting of BCB, F-added polyimide, Teflon, Cytop, polyallyl ether fluoride, F-added parylene and PFCB.

15. The method of manufacturing a substrate for a liquid crystal display device according to Claim 10, wherein an input/output terminal of the switching element is formed after forming the lower pixel electrode in such a way that the lower pixel electrode is connected to the lower pixel electrode.

16. The method of manufacturing a substrate for a liquid crystal display device according to Claim 10, wherein an input/output terminal of the switching element is formed after forming the lower pixel electrode in such a way that the lower pixel electrode is connected to the output terminal of the switching element.

- In the Specification -

The substrate of a liquid crystal display device to achieve the object of the present invention comprises a gate bus line and a data bus line to form a matrix on a transparent substrate interposing a first insulating film of an inorganic film such as SiNx and SiOx, a switching element electrically connected to the gate bus line and the data bus line and located at a crossing part of the gate bus line and the data bus line, and a pixel region comprising a second insulating film made of an organic film such as BCB covering a whole surface of the substrate including the switching element, a first region connected to the drain electrode of the switching element and located on a lower surface of the second insulating film and a second region located on an upper surface of the second insulating film.

Especially, in the structure of the substrate for a liquid crystal display device according to the present invention, the first region of the pixel electrode is formed at the location distant from the data bus line with a predetermined distance so as not to overlap with the data bus line and the second region of the pixel electrode is formed so as to overlap with the data bus line and a part of the first region of the pixel electrode.

In addition, the second region of the pixel electrode is connected to the drain electrode of the switching element and the pixel electrode of the first region through a contact hole which is formed to expose the drain electrode of the switching element and a contact hole which is formed to expose the auxiliary capacitance electrode where the first region of the pixel electrode partially overlaps with the gate bus line, respectively.

By structuring the substrate of the liquid crystal display device as described above, a first pixel electrode (the pixel electrode of the first region; 181) connected to the drain electrode (170b) of the TFT and a second pixel electrode (the pixel electrode of the second region; 182) are formed to interpose an organic protection film (155) such as BCB as shown in Fig. 6. That is, an area in one pixel which can excite liquid crystals by the first pixel electrode and the second pixel electrode is sectioned into regions ①, ②, and

so on, respectively.

When a voltage is applied to the drain electrode (170b), the capacitance value between the common electrode (140) and the second pixel electrode (182) is relatively higher than the capacitance value between the common electrode (140) and the first pixel electrode (181), so that the liquid crystal molecules of the region ① excite at right angle and the liquid crystal molecules of the region ② excite at a predetermined angle θ with the pixel electrode.

The light beam incident on the bottom surface of the substrate is input with various angles but only the light beam incident parallel to the axis of the excited liquid crystal molecules can pass through the common electrode.

Accordingly, if the area in one pixel having different excite angles of liquid crystal molecules is sectioned into several regions, the light transmission angles are different in accordance with the regions so that the viewing angle of the display is enlarged when a liquid crystal display device is constructed. Simultaneously, the second pixel electrode is arranged to overlap with the data bus line on an organic protective film (155) whose surface is formed plane so that the aperture ratio can be maximized.

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G02F 1/1343		(45) 공고일자 (11) 등록번호 (24) 등록일자	2000년 10월 16일 10-0268305 2000년 07월 12일
(21) 출원번호 (22) 출원일자	10-1997-0051458 1997년 10월 07일	(65) 공개번호 (43) 공개일자	특 1999-0030963 1999년 05월 06일
(73) 특허권자	엘지.필립스 엘시디주식회사 구본준 서울특별시 영등포구 여의도동 20번지엘지.필립스 엘시디주식회사 론 위 라하디락사		
(72) 발명자	서울특별시 영등포구 여의도동 20번지 임경남 서울특별시 종로구 송인 1동 81번지 박성일 경기도 안양시 동안구 호계동 1108-8 박재용 경기도 군포시 금정동 747-39 두원빌라 8-301 김웅권 경기도 안양시 동안구 호계 1동 950-55 김정현 경기도 안양시 동안구 호계 1동 무궁화한양아파트 108동 1102호		
(74) 대리인	정원기		

심사관 : 이금옥

(54) 액정표시장치의 기관의 구조 및 그 제조방법

명세서

도면의 간단한 설명

제1도는 종래의 액정표시장치의 기관의 평면도이고,
제2도는 제1도의 II-II 선을 따라 절단하여 나타내는 단면도이고,
제3도는 제1도의 III-III 선을 따라 절단하여 나타내는 단면도이고,
제4도는 종래 기관의 구조에 있어서, 화소전극의 가장자리 부분에서 발생하는 러빙 불량을 설명하기 위한 단면도이고,
제5도는 종래의 액정표시장치에 있어서, 광선이 액정층을 통과하는 것을 설명하기 위한 단면도이고,
제6도는 본 발명의 액정표시장치에 있어서, 광선이 액정층을 통과하는 것을 설명하기 위한 단면도이고,
제7도는, 제9도, 제11도는 본 발명의 액정표시장치의 기관의 평면도이고,
제8a도, 제8b도는 제7도의 VII-VII 선을 따라 절단하여 나타내는 단면도이고,
제8a1도~제8a4도는 제8a도의 제조과정을 설명하기 위한 단면도이고,
제8b1도~제8b4도는 제8b도의 제조과정을 설명하기 위한 단면도이고,
제10a도, 제10b도, 제10c도는 제9도의 X-X선을 따라 절단하여 나타내는 단면도이고,
제12a도, 제12b도, 제12c도는 제11도의 XII-XII 선을 따라 절단하여 나타내는 단면도이고,
제13a도, 제13b도, 제13c도는 제7도, 제9도, 제11도의 V-V 선을 따라 각각 절단하여 나타내는 단면도이고,
제14a도, 제14b도, 제14c도는 본 발명의 다른 구조의 TFT를 각각 나타내는 단면도이고,
제15도는 본 발명의 액정표시장치의 기관에 형성되는 화소전극부와 등가의 회로도이고,
제16도는 종래의 액정표시장치의 기관에 형성되는 화소전극부와 등가의 회로도이고,
제17a도, 제17b도, 제17c도는 제15도와 제16도가 조합되어 본 발명의 액정표시장치의 기관에 형성되는 픽셀 배치도이다.

<도면의 주요부분에 대한 부호의 설명>

15, 115 : 투명기판	30, 130, 131 : 콘택홀
35, 135 : 보조용량전극	37, 137 : TFT
50, 150 : 게이트절연막	55, 155 : 보호막
40, 140 : 공통전극	60, 160 : 게이트버스라인
60a, 160a : 게이트전극	70, 170 : 데이터버스라인
70a, 170a : 소스전극	70b, 170b : 드레인전극
80 : 화소전극	88, 188 : 액정
90, 190 : 반도체층	92a, 92b, 192a, 192b : 오믹접촉층
181 : 제1화소전극	182 : 제2화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고개구율과 광시야각을 동시에 구현할 수 있는 액정표시장치의 기판에 관련된 것으로서, 특히 액정에 인가되는 실효전압이 각각의 도트(dot) 내에서 차이가 나는 영역이 존재하도록 하나의 화소전극을 상하로 구분하여 형성하고, 상층의 화소전극 부분이 유기막을 개재하여 데이터버스라인 등과 중첩되도록 기판을 구성하는 것에 관련된 것이다.

종래의 액정표시장치를 구성하는 한 기판은 도 1과 같이 인접하는 게이트버스라인 60과 인접하는 데이터 버스라인 70이 교차하여 이루는 영역 내에 화소전극 80이 형성된다. 콘택홀 30을 통하여 상기 화소전극 80과 전기적으로 접촉되는 TFT 37이 상기 게이트버스라인 60과 상기 데이터버스라인 70의 교차영역 부근에 형성된다. 상기 게이트버스라인과 중첩되는 화소전극 부분 35는 보조용량전극을 구성한다. 상기과 같이 구성되는 종래 액정표시장치의 기판은 하나의 예를 들어 도 2(도 1의 II-II선을 따라 절단한 단면도)과 같은 단면구조를 하고 있다.

도 2에서 TFT는 게이트전극 60a 부분 위에 SiNx , SiOx 등의 무기막으로 된 게이트절연막 50을 개재하여 반도체층 90이 형성되고, 반도체층 위에 양쪽으로 분리되어 오믹접촉층 92a, 92b가 형성되고, 오믹접촉층 92a와 접촉되는 소스전극 70a, 오믹접촉층 92b와 접촉되는 드레인전극 70b가 형성된다. SiNx , SiOx 등의 무기막으로 된 보호막 55가 상기 TFT가 형성된 기판을 덮도록 형성되고, 상기 보호막 위에 콘택홀 30을 통하여 TFT의 드레인전극 70b와 접촉되는 화소전극 80이 형성된다. 화소 전극이 게이트버스라인 60과 중첩되는 부분에서는 보조용량전극 35가 구성된다.

특히, 상기 종래의 액정표시장치의 기판의 구조는 도 3(도 1의 III-III선을 따라 절단한 단면도)과 같이 화소전극 80과 데이터버스라인 70과의 사이에 일정거리 즉, a만큼의 간격을 둔다.

상기 기판의 구조에서 데이터버스라인 70과 화소전극 80과의 사이에 일정한 간격을 두는 이유는 SiNx , SiOx 의 무기막으로 된 보호막 55가 비유전율이 5 이상이기 때문에 화소전극 80과 데이터버스라인 70과의 사이에서 커패시턴스가 형성되어 화소전극에 인가되는 전압이 왜곡되지 않도록 하기 위한 것이다.

결국, 종래의 액정표시장치의 기판의 구조에서는 화소전극과 데이터버스라인 사이의 간격 a는 화소전극으로 이용할 수 없는 부분으로써 빛 누설을 방지하기 위하여 블랙매트릭스 등으로 차폐되어야 하기 때문에 그 만큼 개구율의 손실이 발생한다.

상기와 같은 개구율의 손실을 줄이기 위하여 SiNx , SiOx 의 무기막으로 된 보호막 55의 두께를 충분히 두껍게하고, 데이터버스라인 70과 화소전극 80의 가장자리 부분이 중첩되도록 형성한 도 4의 구조를 생각할 수 있다.

그러나, SiNx , SiOx 의 무기막을 어떤 단차(하나의 예로 데이터버스라인 또는 게이트버스라인)가 형성된 부분이 있는 기판에 증착하였을 때, 그 무기막은 단차가 형성된 부분을 그대로 타고넘어가 똑같은 단차를 형성한다.

따라서, 도 4의 구조에서와 같이 데이터버스라인 70과 화소전극 80을 중첩하여 형성하면 화소전극의 가장자리 부분이 평탄하게 형성되지 않는다.

상기와 같이 화소전극이 데이터버스라인과 중첩되어 단차가 형성되었을 때, 도면에는 도시되지 않았지만 화소전극이 형성된 기판 위에 배향막을 형성하고, 러빙공정을 진행하면, 화소전극의 단차부분 17에서 러빙불량이 발생한다.

상기 러빙불량 부분은 빛의 누설이 발생하므로 블랙매트릭스에 의하여 차폐되어야 하기 때문에 유용한 화소전극으로서의 역할을 하지 못하게 된다.

따라서, 상기와 같이 비유전율이 크고, 단차가 형성된 기판 위에 증착하였을 때 표면이 평탄화되지 않는 특성을 갖고 있는 SiNx , SiOx 등의 무기막으로 된 보호막 55를 사용하는 기판의 구조에서는 어느 경우에도 개구율의 손실은 불가피하다.

또, 상기 종래의 액정표시장치의 기판을 이용하여 구성되는 액정표시장치는 표시화면의 시야각이 좁은

단점이 있다.

액정표시장치의 시야각은 액정분자의 여기 각도에 의하여 크게 좌우되고, 상기 시야각 특성에 대한 메커니즘을 종래의 기판 구조를 적용하는 도 5에 의하여 상세히 설명한다.

도 5와 같이 액정표시장치는 투명기판 15 위에 게이트절연막 50이 형성되고, 게이트절연막 50 위에 TFT의 드레인전극 70b가 형성되고, 상기 드레인전극 70b와 접촉되는 화소전극 80이 보호막 55 위에 형성된 기판을 공통전극 40이 형성된 기판과 대향하도록 구성하고, 상기 공통전극 40과 화소전극 80 사이에 액정 88을 주입하고, 봉합한다. 노멀블랙(normally black) 모드를 예로들면 상기 화소전극 80과 공통전극 40에 소정의 전압을 인가하였을 때 액정층 88의 액정분자가 모두 같은 방향(도 5에서는 기판면과 직각방향)으로 여기한다. 상기 직각으로 여기된 액정분자층을 화살표로 나타내는 광선이 통과하게 되고, 이 광선의 통과 여부를 각각의 화소 전극마다 형성된 TFF에 의하여 통제함으로써 문자나 그림 등을 화면에 표시할 수 있다.

그런데, 상기 도 5에서 알 수 있는 것처럼 액정층을 통과한 광선은 액정분자와 거의 평행하게 입사되는 광선만이 통과하고, 액정분자의 축과 θ 각을 갖고 입사되는 광선은 액정분자에 의하여 차단되어 액정층을 통과하지 못한다.

따라서, 액정표시장치의 사용자가 정면에서 화면을 바라보았을 때는 화면에 표시된 문자나 그림을 선명하게 인식할 수 있지만 측면에서 화면을 바라보았을 때는 문자나 그림 등을 거의 인식할 수 없다.

즉, 도 1 및 도 2의 구조를 갖는 기판을 이용하여 액정표시장치를 구성하는 경우에는 화소전극의 면적을 확대하여 개구율을 향상시키는데 한계가 있으며, 또한 넓은 시야각을 갖도록 구성할 수 없다.

발명이 이루고자하는 기술적 과제

본 발명은 고개구율과 넓은시야각을 동시에 구현할 수 있는 액정표시장치의 기판을 구성하고, 제조하는데 목적이 있다.

액정표시장치의 개구율을 극대화하기 위해서는 데이터버스라인과 화소전극 사이의 간격 즉, 도 3에서 폭 a만큼이 유효 화소전극 영역 80에 포함되도록 구성하여야 한다. 동시에, 넓은 시야각을 갖도록하기 위해서는 각각의 화소영역을 복수의영역으로 구분하여 각 영역마다 액정분자의 여기 각도를 다르게 조정하여 줌으로써 소정의 각도를 갖고 입사되는 광선도 액정층을 통과할 수 있도록 하여야 한다.

상기와 같은 조건을 동시에 충족시키는 본 발명의 목적 달성을 위하여 단차가 형성된 기판에 막을 도포하였을 때, 막의 표면이 평탄하게 형성되는 특징이 있고, 또 비유전율이 3.0 이하로 낮은 BCB(benzocyclobutene) 등의 유기막을 이용한다.

특히, 각각의 화소마다 또는 소정의 위치에 배치된 화소마다 상기 유기막의 상하층에 접하여 제1화소전극과 제2화소전극이 2층 구조를 갖도록 형성한다. 상기 제1화소전극은 유기막의 하층 즉, 데이터버스라인이 형성되는 동일면층에 형성되므로 데이터버스라인과 중첩되지 않도록 소정의 간격을 두어 형성하고, 상기 제2화소전극은 비유전율이 낮고, 표면이 평탄한 유기막 위에 형성되므로 데이터버스라인과 중첩되도록 형성하여 개구율을 극대화한다.

또 상기 제1화소전극과 제2화소전극은 같은 드레인전극과 연결되고, 액정분자를 컨트롤할 수 있는 고유의 영역을 갖도록 배치되어야 한다.

상기와 같이 제1화소전극과 제2화소전극에 의하여 액정분자의 컨트롤 영역이 구분되면 제1화소전극과 공통전극 사이의 거리와 제2화소전극과 공통전극 사이의 거리가 서로 다르기 때문에 화소전극(제1화소전극과 제2화소전극으로 구성됨) 내에서 커패시턴스의 차이가 존재하게 된다. 상기 한 화소 내에서 공통전극과의 사이에 커패시턴스의 차이가 존재하면 액정분자의 여기 각도가 제1화소전극과 제2화소전극 영역에서 다르게 형성된다.

즉, 공통전극과 가까운 제2화소전극 영역의 액정분자는 수직으로 여기하고, 공통전극과 먼 제1화소전극 영역의 액정분자는 소정의 각도를 갖도록 여기한다.

따라서, 하나의 화소영역 내에 액정분자의 여기 각도가 다른 영역이 형성되도록 함으로써 소정의 각도를 갖고 입사되는 광선도 액정층을 통과할 수 있도록 하여 넓은 시야각을 갖는 액정표시장치를 구성할 수 있다.

발명의 구성 및 작용

본 발명의 목적을 달성하기 위한 액정표시장치의 기판은 SiNx , SiOx 등의 무기막으로 된 제1절연막을 개재하여 투명기판 위에 매트릭스상으로 형성되는 게이트버스라인 및 데이터버스라인과, 상기 게이트버스라인과 데이터버스라인에 전기적으로 접촉되고 그 교차부에 형성되는 스위칭소자와, 상기 스위칭소자를 포함하여 기판의 전면을 덮는 BCB 등의 유기막으로 된 제2절연막과, 상기 스위칭소자의 드레인전극과 연결되고 상기 제2절연막의 하면부에 형성되는 제1영역 및 상기 제2절연막의 상면부에 형성되는 제2영역을 갖는 화소전극이 구비된다.

특히, 본 발명의 액정표시장치의 기판의 구조에서 상기 화소전극의 제1영역은 상기 데이터버스라인과 소정의 간격만큼 떨어진 위치에 상기 데이터버스라인과 중첩되지 않도록 형성되고, 상기 화소전극의 제2영역은 상기 데이터버스라인 및 상기 화소전극의 제1영역의 일부와 중첩되도록 형성된다.

또, 상기 화소전극의 제2영역은 스위칭소자의 드레인전극 부분이 노출되도록 형성된 콘택홀 또는 상기 화소전극의 제1영역이 게이트버스라인과 일부 중첩되어 구성되는 보조용량전극 부분이 노출되도록 형성된 콘택홀을 통하여 상기 스위칭소자의 드레인전극 또는 상기 제1영역의 화소전극과 서로 접촉된다.

상기와 같이 액정표시장치의 기판을 구성함으로써 도 6와 같이 TFT의 드레인 전극 170b에 접촉되는 제1

화소전극(제1영역의 화소전극) 181과 제2화소전극(제2영역의 화소전극) 182가 8CB 등의 유기보호막 155를 개재하여 형성된다. 즉, 하나의 화소내에서 제1화소전극과 제2화소전극에 의하여 각각 액정을 여기시킬 수 있는 영역이 ①, ② 등으로 구분된다.

드레인전극 170b에 전압이 인가되었을 때 공통전극 140과 제2화소전극 182 사이에 형성되는 커패시턴스 값이 공통전극 140과 제1화소전극 181 사이에 형성되는 커패시턴스 값보다 상대적으로 크기 때문에 ① 영역의 액정분자의 각도는 화소전극과 직각으로 여기하고, ② 영역의 액정분자는 화소전극과 소정의 각도 θ 를 갖는 상태로 여기된다.

기판의 하면에서 입사되는 광선은 다양한 각도를 갖고 입사되지만 상기 여기된 액정분자의 축과 평행한 방향으로 입사되는 광선만이 공통전극을 통과할 수 있다.

따라서, 하나의 화소내에 본 발명의 구조와 같이 액정분자의 여기 각도가 다르게 형성된 부분이 영역별로 구분되어 있으면 그 영역마다 광선의 통과 각도가 다르므로 액정표시장치를 구성하였을 때 화면의 시야각이 넓어지게 된다. 동시에 제2화소전극은 표면이 평탄하게 형성된 유기 보호막 155 위에 데이터버스라인과 중첩되도록 형성되므로 개구율을 극대화할 수 있다.

상기와 같은 구조를 갖는 본 발명의 액정표시장치 기판의 제조방법은 SiNx , SiOx 등의 무기막 등으로 된 제1절연막을 개재하여 매트릭스상으로 게이트버스라인 및 데이터버스라인이 형성되고, 상기 게이트버스라인 및 데이터버스라인의 교차부에 상기 게이트버스라인 및 데이터버스라인과 전기적으로 접촉되도록 스위칭소자가 형성된 기판 위에 상기 스위칭소자의 출력단자와 접촉되는 제1영역의 화소전극을 형성하는 공정, 상기 제1영역의 화소전극이 형성된 기판의 전면에 8CB 등의 유기막으로 된 제2절연막을 형성하는 공정, 상기 제2절연막에 적어도 1개 이상의 콘택홀을 형성하고, 상기 콘택홀을 통하여 상기 제1영역의 화소전극과 연결되는 제2영역의 화소전극을 상기 제2절연막 위에 형성하는 공정을 포함한다.

특히, 상기 화소전극의 제1영역은 상기 데이터버스라인과 소정의 간격만큼 떨어진 위치에 상기 데이터버스라인과 중첩되지 않도록 형성되고, 상기 화소전극의 제2영역은 적어도 상기 데이터버스라인 및 상기 화소전극의 제1영역의 일부와 중첩되도록 형성된다.

또한, 상기 액정표시장치의 기판의 제조방법에 있어서, 상기 제1영역의 화소전극이 형성된 후에 상기 스위칭소자의 입출력 단자와 상기 데이터버스라인이 동시에 패터닝되도록 형성하더라도 본 발명의 목적에 벗어나지 않는다.

본 발명의 액정표시장치의 기판의 제조방법을 설명하기에 앞서 본 발명의 액정표시장치의 기판의 평면구조를 예를 들면 도 7, 도 9, 도 11 등이 있다.

상기 기판 구조들의 특징은 게이트버스라인 160과 데이터버스라인 170이 매트릭스상으로 배열되고, 상기 게이트버스라인과 데이터버스라인으로 둘러싸인 하나의 화소영역에 제1화소전극 181과 제2화소전극 182가 형성된다. 상기 제1화소전극은 데이터버스라인과 소정의 간격만큼 떨어지도록 화소전극 영역의 중앙부분에 형성되고, 제1화소전극의 일부는 게이트버스라인의 일부와 중첩되어 보조용량전극 135를 형성할 수 있다.

한편 제2화소전극 182는 제1화소전극이 형성되지 않은 영역을 커버할 수 있도록 적어도 화소영역과 접하는 데이터버스라인의 가장자리 부분과 제1화소전극의 일부 가장자리 부분과 중첩되도록 형성한다. 특히 제1화소전극과 제2화소전극 사이에는 8CB 등의 유기막이 개재되어 있기 때문에 제1화소전극과 제2화소전극은 단차를 갖게 된다. 또, 제1화소전극과 제2화소전극은 TFT의 드레인전극과 연결되어 있다.

상기 기판의 구조는 몇 개의 예를 나타낸 것이고, 상기 구조에서 알 수 있는 것처럼 하나의 화소 내에서 소정의 영역을 갖는 복수개의 화소전극이 존재하고 그 분리된 화소전극 중 하나가 데이터버스라인 등과 중첩되어 있는 구조이면 상기 예시된 도면에 한정되지 않고 본 발명에 적용될 수 있다.

상기 액정표시장치의 기판의 제조과정을 실시예에서 상세히 설명한다.

[실시예 1]

도 7의 VIII-VIII 선을 따라 절단하여 나타내는 기판의 단면 구조는 대표적인 예로써 도 8a, 도 8b 등이 있다.

먼저, 도 8a의 구조를 갖는 기판의 제조방법은 다음과 같다.

Cr, Al, Mo 등으로 된 금속막을 스퍼터법으로 투명기판 115 위에 증착한 후, 상기 금속막을 패터닝하여 게이트버스라인 160과 게이트전극 160a를 형성한다. 상기 게이트버스라인과 게이트전극이 형성된 기판의 전면에 SiNx , SiOx 등으로 된 게이트절연막 150을 증착한다(도 8a1).

이어서 반도체층 190이 되는 a-Si층과, 오믹접촉층 192a, 192b가 되는 n^+ 이온이 도핑된 a-Si층을 CVD법으로 연속하여 증착한 후, 상기 적층된 막을 동시에 패터닝하여 게이트전극 160a 부분의 게이트절연막 위에 성 모양으로 반도체층 190과 오믹접촉층(192a, 192b)을 형성한다(도 8a2).

이어서, Cr, Al, Mo 등으로 된 금속막을 상기 오믹접촉층(192a, 192b)이 형성된 기판의 전면에 스퍼터법으로 증착한 후, 상기 금속막을 패터닝하여 데이터버스라인 170과 소스전극 170a, 드레인전극 170b를 형성한다. 특히 상기 소스전극 170a는 오믹접촉층 192a 윗 부분에 접촉되도록 형성되고, 드레인전극 170b는 상기 소스전극과 대향하고, 오믹접촉층 192b 윗 부분에 접촉되도록 형성된다. 상기 오믹접촉층은 소스전극 및 드레인전극을 마스크로 하여 식각하는 과정을 거침으로써 양쪽으로 분리되고, 스위칭소자로 기능하는 TFT가 형성된다(도 8a3).

이어서, TFT가 형성된 기판 위에 ITO(Indium Tin Oxide)막으로 된 도전막을 증착한 후, 패터닝하여 제1화소전극 181을 형성한다. 상기 제1화소전극 181은 드레인전극과 접촉되고, 게이트절연막 150을 개재하여 게이트버스라인 160의 일부와 중첩되도록 형성된다. 상기 게이트버스라인과 중첩되는 제1화소전극의 영역은 보조용량전극으로 기능한다. 상기과 같이 제1화소전극을 형성한 후, 8CB, F형가 폴리이미드, 테

프론, 싸이토프, 불화폴리아릴에테르, F첨가 파리렌, PFCB 등의 유기물로 된 보호막 155를 기판의 전면에 스퍼코팅법 등으로 도포하고, 드레인전극 부분의 보호막에 콘택홀 130을 형성한다(도 8a4).

상기 유기물로 된 보호막은 무기물에 비하여 비유전율이 낮고, 단차가 형성되어 있는 기판에 도포하였을 때 표면이 평탄하게 형성되는 특징을 갖고 있다.

상기와 같은 특징을 갖는 유기 보호막 위에 IT0막을 증착한 후 패터닝하여 도 8a와 같이 제2화소전극 182를 형성한다. 상기 제2화소전극 182는 콘택홀 130을 통하여 제1화소전극 181과 접촉된다.

특히, 제1화소전극 181은 데이터버스라인 170이 형성되는 면에 형성되기 때문에 상기 데이터버스라인과 일정한 간격 만큼 떨어진 위치에 상기 데이터버스라인과 중첩되지 않도록 형성되어야 하고, 제2화소전극 182는 상기 데이터버스라인과 상기 제1화소전극 사이를 커버하도록 형성되어야 한다.

또한, 도 8b의 구조를 갖는 기판의 제조방법은 Cr, Al, Mo 등으로 된 금속막을 스퍼터법으로 투영기판 115 위에 증착한 후, 상기 금속막을 패터닝하여 게이트버스라인 160과 게이트전극 160a를 형성한다. 상기 게이트버스라인과 게이트전극이 형성된 기판의 전면에 SiNx , SiOx 등으로 된 게이트절연막 150과, 반도체층 190이 되는 a-Si층과, 오믹접촉층 192a, 192b가 되는 n^+ 이온이 도핑된 a-Si층을 CVD법으로 연속하여 증착한다. 상기 적층된 a-Si층과 n^+ 이온이 도핑된 a-Si층을 동시에 패터닝하여 게이트전극 160a 부분의 게이트절연막 위에 섬 모양으로 반도체층 190과 오믹접촉층(192a, 192b)을 형성한다(도 8b1).

이어서, IT0막을 증착한 후, 상기 IT0막을 패터닝하여 제1화소전극 181을 형성한다. 상기 제1화소전극 181은 게이트절연막 150을 개재하여 게이트버스라인 160의 일부와 중첩되도록 형성된다. 상기 게이트버스라인과 중첩되는 제1화소전극의 영역은 보조용량전극으로 기능한다(도 8b2).

이어서, Cr, Al, Mo 등으로 된 금속막을 상기 오믹접촉층(192a, 192b)이 형성된 기판의 전면에 스퍼터법으로 증착한 후, 상기 금속막을 패터닝하여 데이터버스라인 170과 소스전극 170a, 드레인전극 170b를 형성한다. 특히 상기 소스전극 170a는 오믹접촉층 192a 윗 부분에 접촉되도록 형성되고, 드레인전극 170b는 상기 소스전극과 대향하고, 오믹접촉층 192b 윗 부분에 접촉되고, 제1화소전극 181과 접촉되도록 형성된다. 상기 오믹접촉층은 소스전극 및 드레인전극을 마스크로 하여 식각하는 과정을 거침으로써 양쪽으로 분리되고, 스위칭소자로 기능하는 TFT가 형성된다(도 8b3).

상기와 같이 제1화소전극 181과 접촉되는 TFT를 형성한 후, BC8, F첨가 폴리이미드, 테프론, 싸이토프, 불화폴리아릴에테르, F 첨가 파리렌, PFCB 등의 유기물로 된 보호막 155를 기판의 전면에 스퍼코팅법 등으로 도포하고, 드레인전극 부분의 보호막에 콘택홀 130을 형성한다(도 8b4).

상기 유기 보호막 위에 IT0막을 증착한 후 패터닝하여 도 8b와 같이 제2화소전극 182를 형성한다. 상기 제2화소전극 182는 콘택홀 130을 통하여 드레인전극 170b와 접촉된다.

본 실시예 1에서의 도 8a는 TFT의 드레인전극 170b가 형성된 후에 제1화소전극 181이 형성되고, 도 8b는 제1화소전극 181을 형성한 후에 TFT가 형성되는 것으로써 제조공정의 순서가 서로 바뀔 것에 불과하므로 본 발명의 목적 달성에는 영향을 미치지 않는다.

[실시예 2]

도 9의 X-X 선을 따라 절단하여 나타내는 기판의 단면 구조는 대표적인 예로써 도 10a, 도 10b, 도 10c 등이 있다.

도 10a의 구조를 갖는 기판의 제조방법은 도 8a3의 제조과정을 거친 후, 기판의 전면에 IT0막으로 된 도전막을 증착하고, 패터닝하여 제1화소전극 181을 형성한다. 상기 제1화소전극 181은 드레인전극과 접촉되고, 게이트절연막 150을 개재하여 게이트버스라인 160의 일부와 중첩되도록 형성된다. 상기 게이트버스라인과 중첩되는 제1화소전극의 영역은 보조용량전극으로 기능한다. 상기와 같이 제1화소전극을 형성한 후, BC8, F첨가 폴리이미드, 테프론, 싸이토프, 불화폴리아릴에테르, F첨가 파리렌, PFCB 등의 유기물로 된 보호막 155를 기판의 전면에 스퍼코팅법 등으로 도포하고, 상기 제1화소전극 181이 상기 게이트버스라인 160의 일부와 중첩되는 부분의 보호막에 콘택홀 131을 형성한다. 이어서 기판의 전면에 IT0막을 증착한 후 패터닝하여 제2화소전극 182를 형성한다. 상기 제2화소전극 182는 콘택홀 131을 통하여 제1화소전극 181과 접촉된다.

또, 도 10b의 구조를 갖는 기판의 제조방법은 도 8b3의 제조과정을 거친 후, BC8, F첨가 폴리이미드, 테프론, 싸이토프, 불화폴리아릴에테르, F첨가 파리렌, PFCB 등의 유기물로 된 보호막 155를 기판의 전면에 스퍼코팅법 등으로 도포하고, 상기 제1화소전극 181이 상기 게이트버스라인 160의 일부와 중첩되는 부분의 보호막에 콘택홀 131을 형성한다. 이어서 기판의 전면에 IT0막을 증착한 후 패터닝하여 제2화소전극 182를 형성한다. 상기 제2화소전극 182는 콘택홀 131을 통하여 제1화소전극 181과 접촉된다.

또한, 도 10c 구조를 갖는 기판의 제조방법은 도 10b의 구조를 갖는 기판의 제조방법과 거의 동일하고, 상기 게이트버스라인 160과 중첩되는 부분의 제1화소전극 181 위에 섬모양으로 금속막 170c가 형성되고, 상기 금속막 170c가 노출되는 콘택홀 131이 형성된다. 즉, 상기 금속막 170c는 제1화소전극 181과 제2화소전극 182 사이에 개재되는 구조로 형성되기 때문에 콘택홀 131을 형성할 때 하층의 제1화소전극이 손상되지 않도록 에치스토퍼 역할을 할 수 있다. 상기 금속막은 패터 마스크 수를 줄이기 위하여 상기 데이터버스라인 및 소스·드레인전극을 형성할 때 동시에 형성하는 것이 바람직하다.

[실시예 3]

도 11의 X II-X II 선을 따라 절단하여 나타내는 기판의 단면 구조는 대표적인 예로써 도 12a, 도 12b, 도 12c 등이 있다.

도 12a의 구조를 갖는 기판의 제조방법은 도 8a3의 제조과정을 거친 후, 기판의 전면에 IT0막으로 된 도전막을 증착하고, 패터닝하여 제1화소전극 181을 형성한다. 상기 제1화소전극 181은 드레인전극과 접촉되고, 게이트절연막 150을 개재하여 게이트버스라인 160의 일부와 중첩되도록 형성된다. 상기 게이트버스

라인과 중첩되는 제1화소전극의 영역은 보조용량전극으로 기능한다. 상기와 같이 제1화소전극을 형성한 후, BCB, F첨가 폴리이미드, 테프론, 싸이토프, 불화폴리아릴에테르, F첨가 파릴렌, PFCB 등의 유기물로 된 보호막 155를 기판의 전면에 스펀코팅법 등으로 도포하고, 드레인전극 170b 부분의 보호막과, 제1화소전극 181이 상기 게이트버스라인 160의 일부와 중첩되는 부분의 보호막에 각각 콘택홀 130, 131을 형성한다. 이어서 기판의 전면에 IT0막을 증착한 후 패터닝하여 제2화소전극 182를 형성한다. 상기 제2화소전극 182는 콘택홀 130, 131을 통하여 제1화소전극 181과 접촉된다.

또, 도 12b의 구조를 갖는 기판의 제조방법은 도 8b3의 제조과정을 거친 후, BCB, F첨가 폴리이미드, 테프론, 싸이토프, 불화폴리아릴에테르, F첨가 파릴렌, PFCB 등의 유기물로 된 보호막 155를 기판의 전면에 스펀코팅법 등으로 도포하고, 드레인전극 170b 부분의 보호막과, 제1화소전극 181이 상기 게이트버스라인 160의 일부와 중첩되는 부분의 보호막에 각각 콘택홀 130, 131을 형성한다. 이어서 기판의 전면에 IT0막을 증착한 후 패터닝하여 제2화소전극 182를 형성한다. 상기 제2화소전극 182는 콘택홀 130을 통하여 드레인전극 170b와 접촉되고, 콘택홀 131을 통하여 제1화소전극 181과 접촉된다.

또한, 도 12c 구조를 갖는 기판의 제조방법은 도 12b의 구조를 갖는 기판의 제조방법과 거의 동일하고, 상기 게이트버스라인 160과 중첩되는 부분의 제1화소전극 181 위에 섬모양으로 금속막 170c가 형성되고, 상기 금속막 170c가 노출되는 콘택홀 131이 형성된다. 즉, 상기 금속막은 제1화소전극 181과 제2화소전극 182 사이에 개재되는 구조로 형성되기 때문에 콘택홀 131을 형성할 때 하층의 제1화소전극이 손상되지 않도록 에치스토퍼 역할을 할 수 있다. 상기 금속막은 패턴 마스크 수를 줄이기 위하여 상기 데이터버스라인 및 소스·드레인전극을 형성할 때 동시에 패터닝하여 형성하는 것이 바람직하다.

상기 실시예 1, 2, 3에서 설명한 본 발명의 액정표시장치의 기판의 구조에 있어서 도 7, 도 9, 도 11의 V-V 선을 따라 절단하여 나타내는 단면은 도 13a, 도 13b, 도 13c 등으로 나타낼 수 있다.

도 13a에 대하여 설명하면 투명기판 115 위에 게이트절연막 150이 형성되고, 상기 게이트절연막 위에 데이터버스라인 170과 제1화소전극 181이 형성된다. 상기 제1화소전극 181은 데이터버스라인과 중첩되지 않도록 충분한 간격을 유지하도록 형성된다. 데이터버스라인과 제1화소전극이 형성된 후 유기물로 된 보호막 155가 도포되고, 보호막 155 위에 제2화소전극 182가 형성된다. 상기 제2화소전극 182는 제1화소전극 181이 커버하지 못하는 화소영역을 커버할 수 있도록 형성된다. 즉, 제2화소전극 182는 데이터버스라인 170의 가장자리 부분에서 제1화소전극 181의 가장자리 부분의 영역에 걸쳐 형성된다.

또, 도 13b의 구조는 데이터버스라인 170의 하층에 제1화소전극 181을 형성하는 물질 즉, IT0막 181a가 형성되어 있다. 상기 구조는 도 8b, 도 10b, 도 10c, 도 12b, 도 12c와 같이 제1화소전극 181이 데이터버스라인 170 보다 먼저 패터닝되어 형성될 때 제조될 수 있다.

또한, 도 13c의 구조는 데이터버스라인 170의 하층에 제1화소전극 181을 형성하는 물질인 IT0막 181a, n^+ 이온이 도핑된 a-Si층 192, a-Si층 190a가 연속 적층되어 형성되어 있다. 상기 구조는 게이트전극 부분에 형성되는 반도체층과 오믹접촉층을 패터닝할 때 데이터버스라인이 형성되는 영역에도 패턴이 형성되도록 하여 제조된다. 상기 패턴이 형성된 후 IT0막 181a와 제1화소전극 181이 도 13b에서 설명한 방법에 의하여 형성된다.

특히, 본 발명의 실시예 1, 2, 3에서는 역 스택거형의 구조를 갖는 TFT를 예로 들어 설명하였지만 본 실시예의 TFT구조에 한정되지 않고, 도 14a, 도 14b, 도 14 등의 구조를 갖는 TFT로 구성할 수 있다.

도 14a의 TFT는 실시예에서 설명한 역 스택거형의 TFT의 구조에서 오믹접촉층(192a, 192b)를 식각하여 분리할 때 하층의 반도체층 190이 오버에치되지 않도록 하기 위하여 SiNx 등으로 된 에치스토퍼층 195가 형성된다.

또, 도 14b는 스택거형의 TFT를 나타내는 것으로써 SiNx , SiOx 등으로 된 보호절연막 145 위에 Cr, Al, Mo 등의 금속막으로 된 데이터버스라인 170과 데이터버스라인에서 분기하는 소스전극 170a, 상기 소스전극과 대향하는 드레인전극 170b가 형성된다. 상기 소스전극과 드레인전극 위에는 n^+ 이온이 도핑된 a-Si층 즉, 오믹접촉층 192a, 192b가 각각 형성된다. a-Si으로 된 반도체층 190이 상기 오믹접촉층 192a, 192b와 접촉되도록 상기 소스전극과 드레인전극 사이의 영역에 걸쳐 형성된다. 상기 반도체층 위에는 SiNx , SiOx 등으로 된 게이트절연막 150이 형성된다. 상기 게이트절연막 위에는 Cr, Al, Mo 등의 금속막으로 된 게이트전극 160a가 형성된다. 상기 TFT가 형성되는 부분의 투명기판 115위에는 TFT를 보호하기 위하여 차광막 200이 형성된다.

또한, 도 14c는 self-aligned 코플레너형의 TFT를 나타내는 것으로써 투명기판 115위에 a-Si으로 된 소스전극 170a와 드레인전극 170b 및 반도체층 190이 형성된다. 상기 반도체층과 소스 및 드레인전극은 n^+ 이온이 도핑된 a-Si층 즉, 오믹접촉층 192a, 192b에 의하여 서로 접촉된다. 상기 반도체층 위에는 SiNx , SiOx 등으로 된 게이트절연막 150이 형성된다. 상기 게이트절연막 위에는 Cr, Al, Mo 등의 금속막으로 된 게이트전극 160a가 형성된다.

상기 TFT의 구조에서 알 수 있는 것처럼 TFT의 구조에 관계없이 TFT의 드레인 전극에 연결되는 제1화소전극 181과 제2화소전극 182는 유기막으로 된 보호막 155를 개재하여 하나의 화소영역 내에서 화소전극이 단차를 갖도록 형성된다.

상기 실시예 1, 2, 3에서 설명한 기판은 도 15와 같은 회로도도 나타낼 수 있다. 도 15에서 데이터버스라인 170과 게이트버스라인 160의 교차부에 스위칭소자 137이 형성되어 있다. 상기 스위칭소자의 드레인 단자에 화소전극이 접촉되고, 상기 화소전극은 화소영역 내에 제1화소전극과 제2화소전극의 영역으로 구분되어 형성된다. 제1화소전극은 전압이 인가되었을 때 공통전극과의 사이에 CL_{c1} 의 커패시턴스를 형성하고, 제2화소전극은 CL_{c2} 의 커패시턴스를 형성한다. C_{boot} 는 제1화소전극과 제2화소전극 사이의 유기보호막에 형성되는 커패시턴스이고, C_{st} 는 보조용량전극의 구성에 의하여 형성되는 커패시턴스를 나타낸다. 상기 회로와 같이 구성되는 화소영역은 각각 R(red), G(green), B(blue)의 칼라필터가 형성된 기판과 대응하여

메트릭스형의 R, G, B 색상을 갖는 픽셀을 구성하게 된다.

또한, 본 발명은 도 16(도 1의 등가회로)과 같이 하나의 화소영역 내에 동일한 커패시턴스 CL_c 를 갖는 화소전극을 형성하여, R', G', B' 색상을 갖도록 형성한 픽셀 구조와, 도 15에서 설명한 픽셀 구조가 혼합 배치되도록 기판을 제조할 수 있다. 상기 픽셀의 조합은 예를들어 도 17a, 도 17b, 도 17c와 같이 배치할 수 있다.

발명의 효과

본 발명의 액정표시장치의 기판은 단차가 형성된 기판에 막을 도포하였을 때, 막의 표면이 평탄하게 형성되는 특징이 있고, 또 비유전율이 3.0 이하로 낮은 BCB 등의 유기막을 보호막으로 사용한다. 상기 보호막을 사이에 두고, 제1화소전극과 제2화소전극이 하나의 화소영역 내에 두 영역으로 구분되어 형성되고, 특히 도 6에서와 같이 드레인전극 170b에 접촉되는 제1화소전극 181과 제2화소전극 182는 보호막 155를 샌드위치하여 단차지도록 형성된다.

상기와 같이 하나의 화소영역 내에서 화소전극이 단차지도록 형성되면 공통전극 140과의 사이에 형성되는 커패시턴스의 값이 다르게 형성된다. 즉, 제1화소전극 181과 공통전극 140 사이에 형성되는 커패시턴스의 값이 제2화소전극 182와 공통전극 140 사이에 형성되는 커패시턴스의 값보다 작게 형성된다.

따라서, 공통전극 140과 가까운 제2화소전극 182 영역의 액정분자 188은 수직으로 여기하고, 공통전극 140과 먼 제1화소전극 181 영역의 액정분자는 소정의 각도 θ 를 갖도록 여기한다.

그러므로, 기판에 대하여 수직으로 입사되는 광선과 각도 θ 를 갖고 입사되는 광선이 하나의 화소영역을 동시에 통과할 수 있게 되어 넓은 시야각을 구현할 수 있다.

또, 하나의 예로 도 7의 평면 구조에서 보는 것처럼 화소영역의 중앙부에 제1화소전극 181이 형성되고, 상기 제1화소전극이 형성되지 않은 화소영역을 커버할 수 있도록 데이터버스라인 170의 가장자리에서 제1화소전극 181의 가장자리에 걸쳐 중첩되는 제2화소전극 182가 형성된다. 상기와 같이 제2화소전극을 데이터버스라인에 중첩하여 형성하더라도 이미 설명한 것처럼 비유전율이 3.0 이상이고, 표면이 평탄한 보호막이 제2화소전극 182와 데이터버스라인 170 사이에 개재되어 있기때문에 데이터버스라인과 제2화소전극 사이에서 전압의 왜곡이 발생하지 않고, 러빙 공정에서 불량 발생하지 않는다.

따라서, 본 발명은 개구율을 극대화하고, 동시에 광시야각을 구현할 수 있는 액정표시장치의 기판을 제조하는데 효과적으로 이용할 수 있다.

(57) 청구의 범위

청구항 1

제1절연막을 개재하여 기판위에 매트릭스상으로 형성되는 게이트버스라인 및 데이터버스라인과, 상기 게이트버스라인과 데이터버스라인에 전기적으로 접촉되고, 상기 게이트버스라인과 데이터버스라인의 교차부에 형성되는 스위칭소자와, 상기 게이트버스라인과 데이터버스라인이 교차하는 화소영역 상에, 상기 데이터버스라인과 동일층에 위치하고, 상기 스위칭소자의 출력단자와 연결되고 상기 화소영역의 중앙에 형성되며 일측이 상기 게이트버스라인 상부로 연장되어 형성된 제 1 화소전극 영역인 하층 화소전극과; 상기 스위칭소자를 포함하여 기판의 전면을 덮으며, 적어도 한 개 이상의 콘택홀을 포함하는 제 2 절연막과, 상기 제 2 절연막의 상부면에 형성되고, 상기 하층 화소전극의 주변부와 소정면적 겹쳐지고 동시에, 상기 데이터버스라인과 겹쳐 형성된 제 2 화소전극 영역인 상층 화소전극을 포함하는 액정표시장치용 어레이기판.

청구항 2

제1항에 있어서, 상기 화소전극의 제2영역은 상기 제2절연막에 형성되는 콘택홀을 통하여 상기 스위칭소자의 출력단자와 접촉되어 있는 것을 특징으로 하는 액정표시장치의 기판.

청구항 3

제1항에 있어서, 상기 상층 화소전극은 상기 게이트버스라인 상부에 형성된 제 2 절연막의 콘택홀을 통하여 상기 하층 화소전극과 접촉되는 액정표시장치용 어레이기판.

청구항 4

제1항에 있어서, 상기 상층 화소전극은 상기 제 2 절연막에 형성된 제1콘택홀을 통하여 상기 스위칭소자의 출력단자와 접촉하는 상기 하층 화소전극과 접촉되고, 상기 게이트버스라인 상부의 제 2 절연막에 형성된 제 2 콘택홀을 통하여 상기 하층 화소전극과 접촉되는 액정표시장치용 어레이기판.

청구항 5

제1항에 있어서, 상기 제 2 절연막은 상면부가 평탄한 액정표시장치용 어레이기판.

청구항 6

제5항에 있어서, 상기 제 2 절연막은 적어도 한층 이상의 유기막이 포함된 액정표시장치용 기판.

청구항 7

제6항에 있어서, 상기 유기막은 BCB, F첨가 폴리이미드, 테프론, 싸이토프, 불화폴리아릴에테르, F첨가 파라렌, PFCB로 구성된 막 중 선택되는 어느 하나인 액정표시장치용 기판.

청구항 8

제3항 또는 제4항 중 어느 한 항에 있어서, 상기 게이트버스라인 상부의 상기 하층 화소전극과 상기 상층 화소전극이 접촉되는 부분에 금속막이 개재되어 있는 액정표시장치용 기판.

청구항 9

제8항에 있어서, 상기 금속막은 상기 스위칭소자의 출력단자를 구성하는 막과 동일한 액정표시장치용 기판.

청구항 10

제 1 절연막을 개재하여 매트릭스 상으로 게이트버스라인 및 데이터버스라인이 형성되고, 상기 게이트버스라인 및 데이터버스라인의 교차부에 상기 게이트버스라인 및 데이터버스라인과 전기적으로 접촉되도록 스위칭소자가 형성된 기판 위에 상기 스위칭소자의 출력단자와 접촉되고 일측이 상기 게이트버스라인 상부로 연장되고, 상기 데이터버스라인과 접촉하지 않는 제 1 화소전극 영역인 하층 화소전극을 형성하는 단계와; 상기 하층 화소전극이 형성된 기판의 전면에 제 2 절연막을 증착하고 패터닝하여, 상기 제 2 절연막 상에 적어도 한 개 이상의 콘택홀을 형성하는 단계와; 상기 제 2 절연막의 콘택홀을 통하여 상기 하층 화소전극과 연결되고, 상기 하층 화소전극의 주변부와 소정면적 겹쳐지고 동시에, 상기 데이터버스라인과 겹쳐 형성되는 제 2 화소전극 영역인 상층 화소전극을 상기 제 2 절연막 위에 형성하는 단계를 포함하는 액정표시장치용 기판의 제조방법.

청구항 11

제10항에 있어서, 콘택홀은 상기 스위칭소자의 출력단자 부분에 형성되는 액정표시장치용 기판의 제조방법.

청구항 12

제10항에 있어서, 상기 콘택홀은 상기 스위칭소자의 출력단자 부분에 형성되고, 동시에 상기 하층 화소전극과 상기 게이트버스라인이 중첩되는 부분에 형성되는 액정표시장치용 기판의 제조방법.

청구항 13

제10항에 있어서, 상기 제 2 절연막은 적어도 한층 이상의 유기막으로 형성되는 액정표시장치용 기판의 제조방법.

청구항 14

제13항에 있어서, 상기 유기막은 BCB, F첨가 폴리이미드, 테프론, 싸이토프, 불화폴리아릴에테르, F첨가 파리렌, PFBC로 구성된 막 중 선택되는 액정표시장치용 기판의 제조방법.

청구항 15

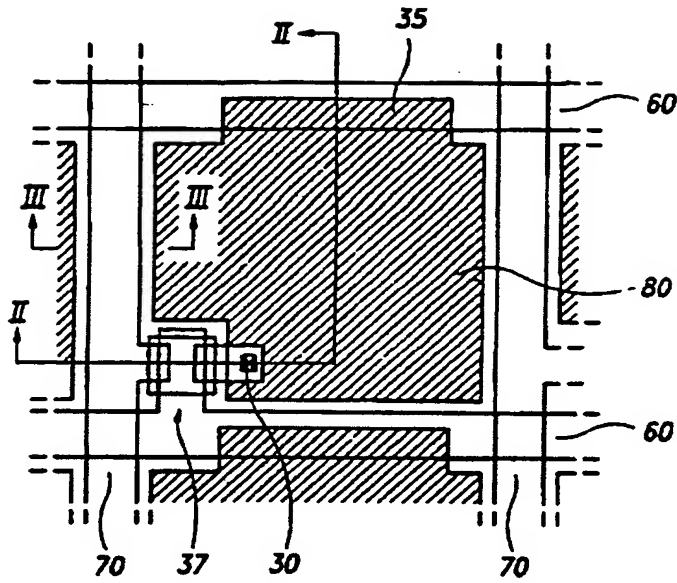
제10항에 있어서, 상기 스위칭소자의 입, 출력단자는 상기 하층 화소전극이 형성된 후에 상기 하층 화소전극과 접촉되도록 형성되는 액정표시장치용 기판 제조방법.

청구항 16

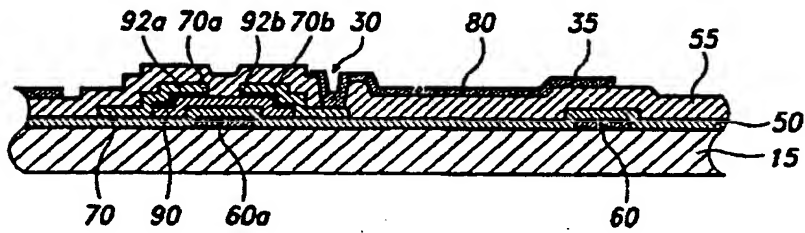
제10항에 있어서, 상기 하층 화소전극을 형성한 후, 상기 스위칭소자의 입출력단자를 형성하여, 상기 화소전극과 상기 스위칭소자의 출력단자가 접촉하도록 형성되는 액정표시장치용 기판 제조방법.

도면

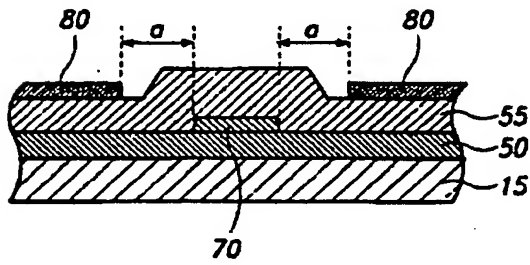
도면1



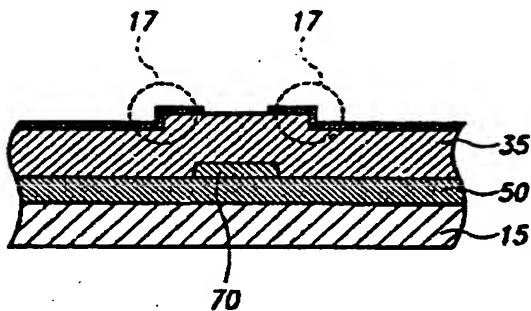
도면2



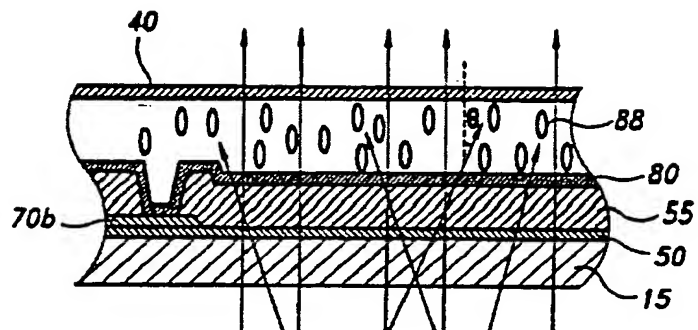
도면3



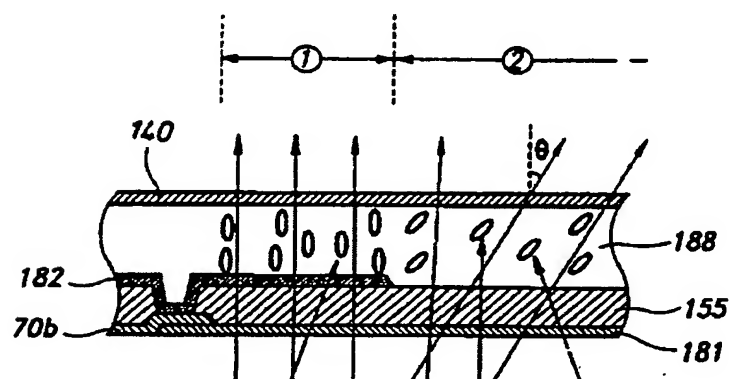
도면4



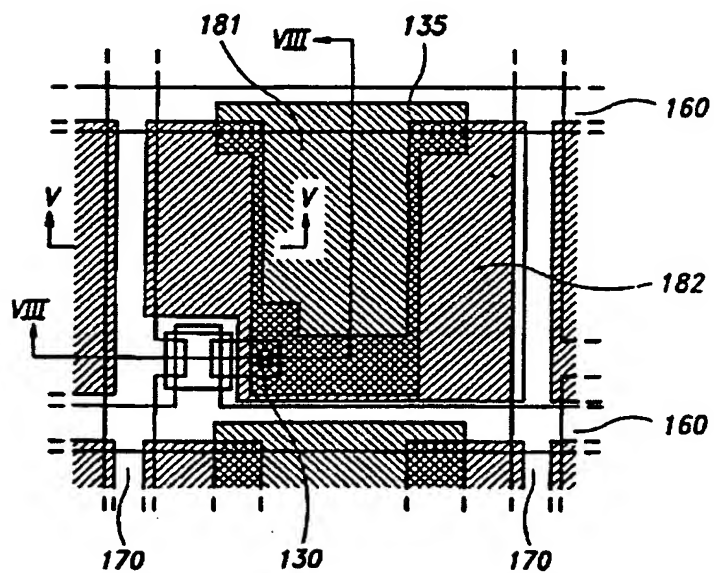
도면5



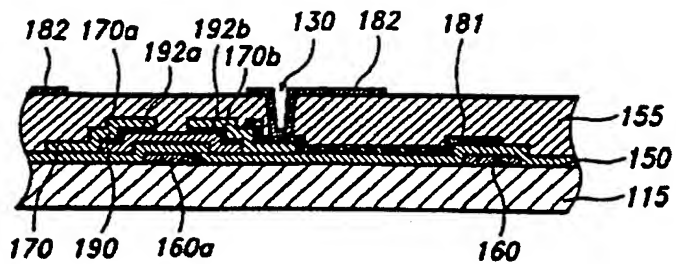
도면6



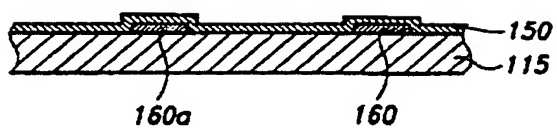
도면7



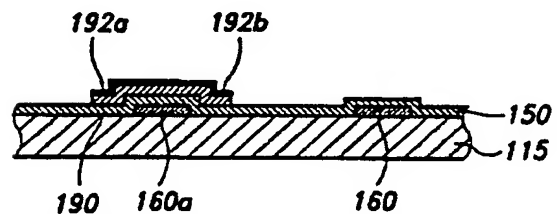
도면 8a



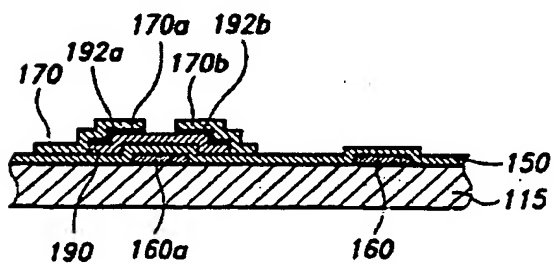
도면 8aa



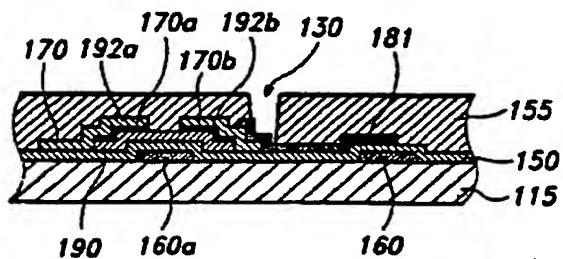
도면 8ab



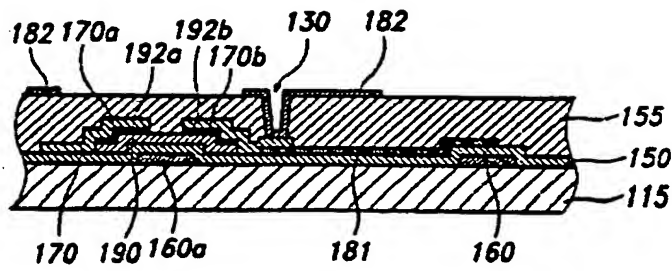
도면 8ac



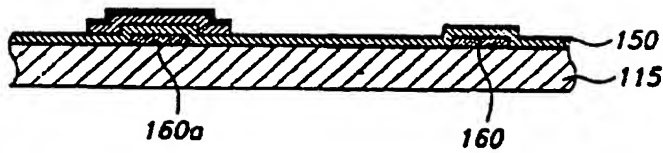
도면 8ad



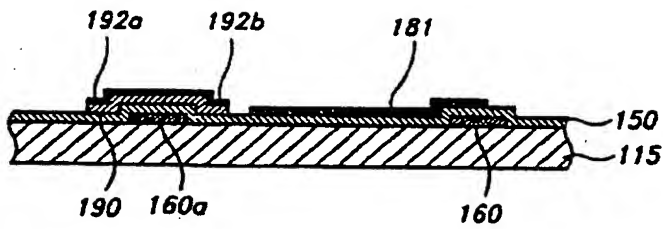
도면 8b



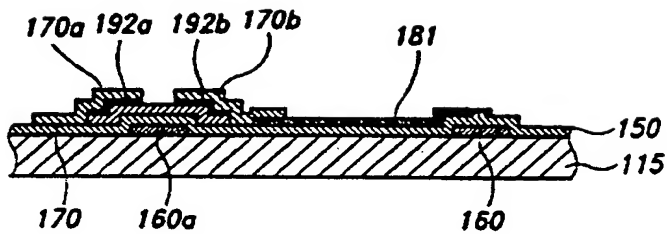
도면 8ba



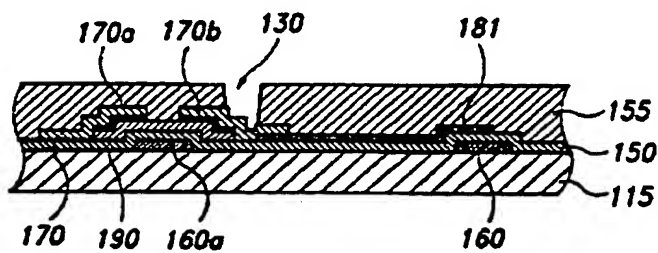
도면 8bb



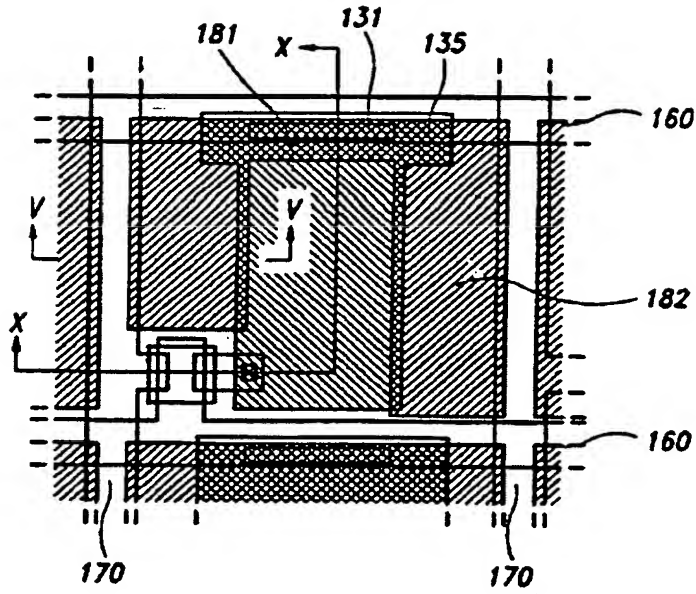
도면 8bc



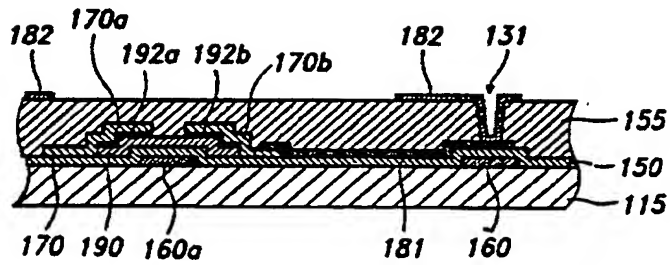
도면 8bd



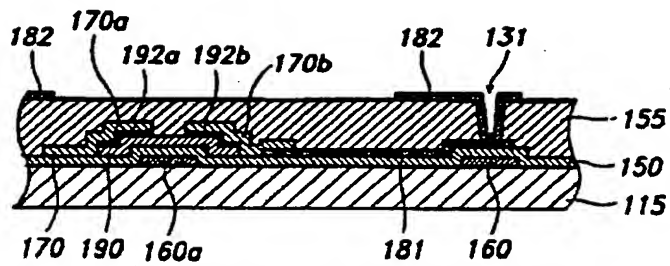
도면9



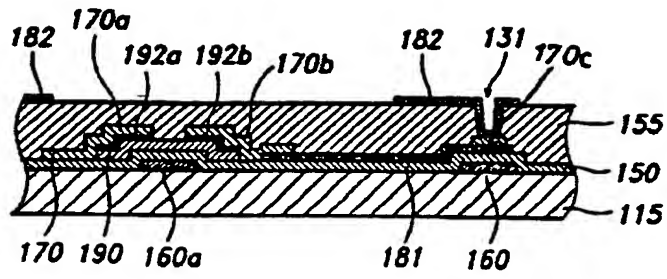
도면 10a



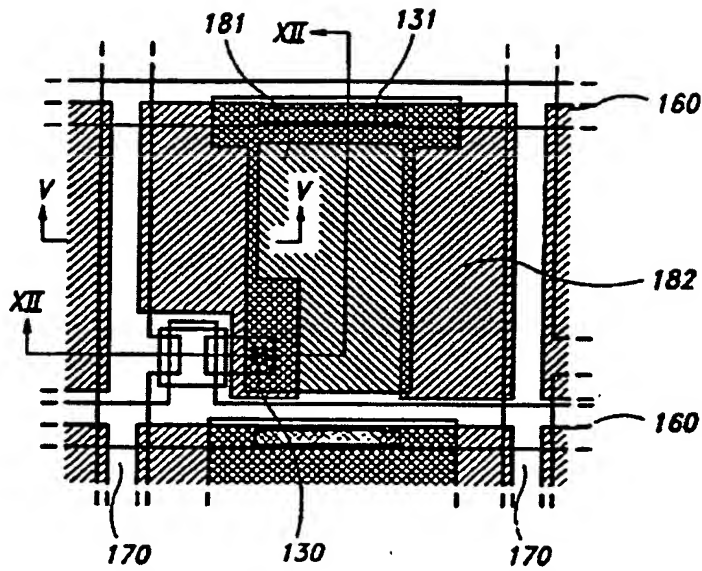
도면 10b



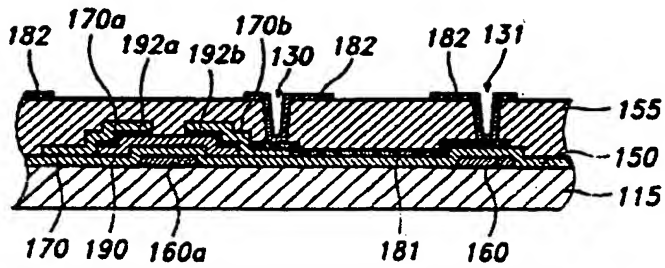
도면 10c



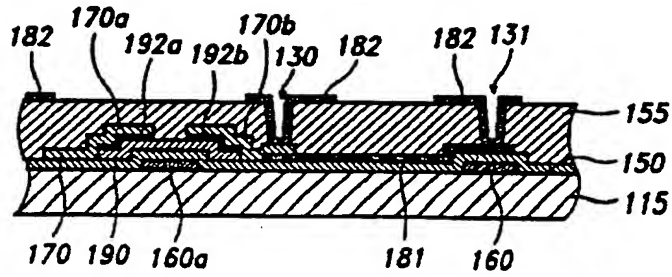
도면 11



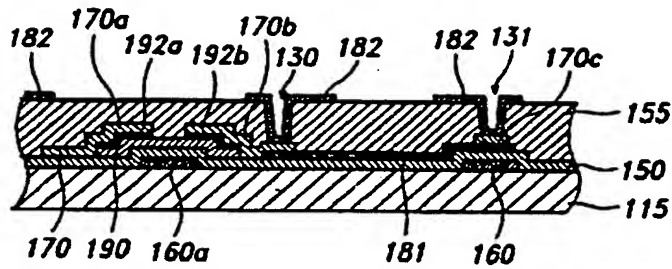
도면 12a



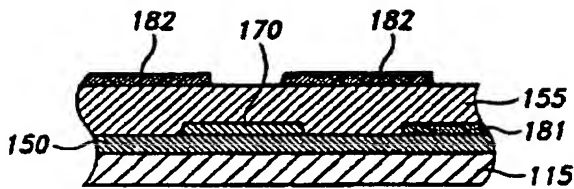
도면 12b



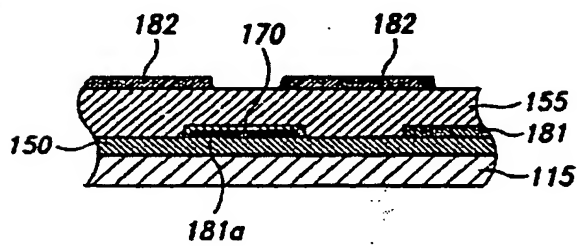
도면 12c



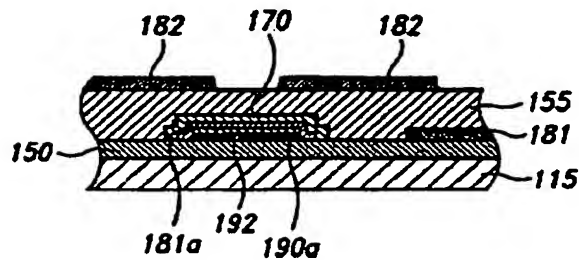
도면 13a



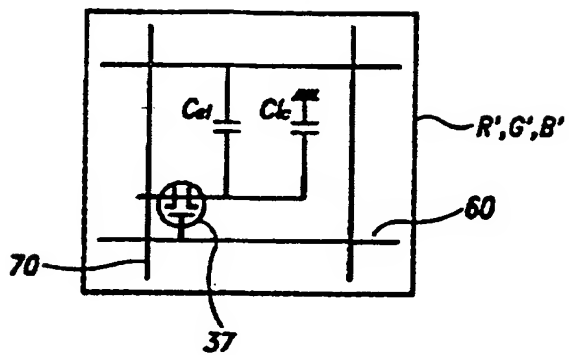
도면 13b



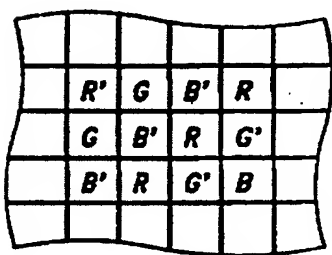
도면 13c



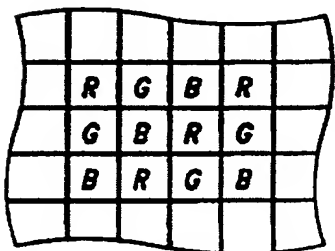
도면 16



도면 17a



도면 17b



도면 17c

